

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: CHEN, Chih-Ching et al      Conf.:  
Appl. No.: NEW      Group:  
Filed: October 30, 2003      Examiner:  
For: DIGITAL DELAYING DEVICE

L E T T E R

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

October 30, 2003

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
TAIWAN	091132999	November 8, 2002

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

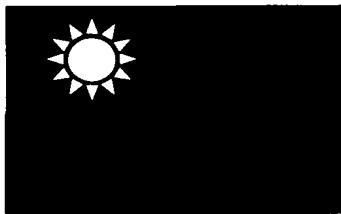
BIRCH, STEWART, KOLASCH & BIRCH, LLP

By  #39,538  
Joe McKinney Murcy, #32,334

KM/smt  
3722-0168P

P.O. Box 747  
Falls Church, VA 22040-0747  
(703) 205-8000

Attachment(s)



CHEN et al  
October 30, 2003

703-205 8000  
322-0168P  
1041

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 11 月 08 日  
Application Date

申請案號：091132999  
Application No.

申請人：聯發科技股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2003 年 10 月 8 日  
Issue Date

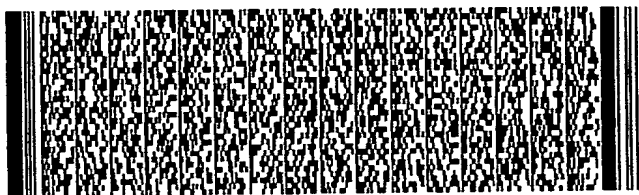
發文字號：09221016020  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	全數位式信號延遲裝置
	英 文	Full digital fine-delay signal generator
二、 發明人 (共4人)	姓 名 (中文)	1. 陳志卿
	姓 名 (英文)	1. Chih-Ching Chen
	國 籍 (中英文)	1. 中華民國 ROC
	住居所 (中 文)	1. 嘉義縣六腳鄉灣北村315-1號
	住居所 (英 文)	1. NO. 315-1, WAN PEI TSUN, LIAO CHIAO HSIANG, CHIA YI COUNTY, TAIWAN, R. O. C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 聯發科技股份有限公司
	名稱或 姓 名 (英文)	1. Media Tek Inc.
	國 籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中 文)	1. 新竹科學工業園區創新一路13號1樓 (本地址與前向貴局申請者不同)
	住居所 (營業所) (英 文)	1. 1F, No. 13, Innovation Road 1, Science-Based Industrial Park, Hsin Chu City, Taiwan 300, R. O. C.
	代表人 (中文)	1. 蔡明介
	代表人 (英文)	1. Ming-kai Tsai



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共4人)	姓 名 (中 文)	2. 潘志新
	姓 名 (英 文)	2. Jyh-Shin Pan
	國 籍 (中 英 文)	2. 中華民國 ROC
	住 居 所 (中 文)	2. 新竹縣竹東鎮北興路3段493-1號6樓
	住 居 所 (英 文)	2. 6F, No. 493-1, Sec. 3, Pei Hsing Rd., Chu Tung Chen, Hsin Chu County, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	
	名稱或 姓 名 (英 文)	
	國 籍 (中 英 文)	
	住 居 所 (營 業 所) (中 文)	
	住 居 所 (營 業 所) (英 文)	
	代 表 人 (中 文)	
	代 表 人 (英 文)	



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共4人)	姓 名 (中 文)	3. 趙銘陽
	姓 名 (英 文)	3. Ming-yang Chao
	國 籍 (中 英 文)	3. 中 華 民 國 ROC
	住 居 所 (中 文)	3. 台 中 縣 新 社 鄉 永 源 村 東 山 街 132 號
	住 居 所 (英 文)	3. NO. 132, TUNG SHAN RD., YUNG YUAN TSUN, HSIN SHE HSIANG, TAI CHUNG COUNTY, TAIWAN, R. O. C.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	
	名稱或 姓 名 (英 文)	
	國 籍 (中 英 文)	
	住 居 所 (營 業 所) (中 文)	
	住 居 所 (營 業 所) (英 文)	
	代 表 人 (中 文)	
	代 表 人 (英 文)	



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共4人)	姓 名 (中 文)	4. 胡逸光
	姓 名 (英 文)	4. Yi Kwang Hu
	國 籍 (中 英 文)	4. 中 華 民 國 ROC
	住 居 所 (中 文)	4. 新竹市湳雅街147巷16弄3號3樓
	住 居 所 (英 文)	4. 3F, NO. 3, ALLEY 16, LANE 147, 湳 YA RD., HSIN CHU CITY , TAIWAN, R. O. C.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	
	名稱或 姓 名 (英 文)	
	國 籍 (中 英 文)	
	住 居 所 (營 業 所) (中 文)	
	住 居 所 (營 業 所) (英 文)	
	代 表 人 (中 文)	
	代 表 人 (英 文)	



四、中文發明摘要 (發明名稱：全數位式信號延遲裝置)

提出一種全數位式信號延遲裝置，用來延遲一輸入信號。該信號延遲裝置包含一環狀振盪器，係由複數個延遲胞串接成一迴路，用以輸出一振盪時脈；一校正單元，係接收一參考時脈與振盪時脈，用來計算每個參考時脈之週期中所對應之振盪時脈的脈衝數，並以該脈衝數作為週期參考脈衝數；至少一延遲量計算單元，係接收週期參考脈衝數以及一信號延遲值，並根據週期參考脈衝數計算該信號延遲值所對應之信號延遲量，並輸出一選擇信號；以及至少一延遲通道，係由一多工器以及複數個串接之延遲胞，該等串接之延遲胞接收一輸入信號，並產生複數個不同延遲時間之延遲信號，並利用多工器根據選擇信號選擇其中一個延遲信號輸出為輸出信號。

圖3顯示本發明全數位式信號延遲裝置之方塊圖，且為代表該發明技術特徵之代表圖，其中符號31為環狀振盪器、符號32為校正單元、符號33為延遲量計算單元、符號

陸、英文發明摘要 (發明名稱：Full digital fine-delay signal generator)

A full digital fine-delay signal generator is proposed. The generator comprises a ring oscillator for generating an oscillating clock, a calibration unit for accounting the period pulse number of the oscillating clock for each period of a reference clock, at least a delay number process unit for receiving a delay value and calculating a delay number based on the period pulse number and



四、中文發明摘要 (發明名稱：全數位式信號延遲裝置)

34 為延遲通道。

陸、英文發明摘要 (發明名稱：Full digital fine-delay signal generator)

the delay value, and a delay channel for receiving an input signal and outputting a delay signal according to the delay number. The ring oscillator includes a plurality of delay cells connected in a loop. The delay channel includes a plurality of cascaded delay cells and a multiplexer. The output signals of the cascaded delay cells are connected to the multiplexer and





四、中文發明摘要 (發明名稱：全數位式信號延遲裝置)

陸、英文發明摘要 (發明名稱：Full digital fine-delay signal generator)

the multiplexer selects a right delay timing  
signal as output.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得, 不須寄存。



## 五、發明說明 (1)

### 一、發明所屬之技術領域

本發明係關於信號延遲裝置，特別是關於全數位式信號延遲裝置。

### 二、先前技術

目前對於CD-R、CD-RW、DVD等光碟片的資料燒錄控制規範有多種不同的格式，而且還陸續提出允許燒錄多重位準(multilevel)資料至光碟片的格式。因此，精確地控制燒錄資料至光碟片的雷射波形(laser waveform)就變的更為重要了。

圖1顯示CD-R之雷射燒錄波形的示意圖。如該圖所示，該雷射燒錄波形從時間 $t_0$ 開始為燒錄功率(write power)。該燒錄功率一直保持到時間 $t_1$ 後降低為抹除功率(erase power)，並持續到時間 $t_2$ 再降低為讀取功率(read power)。其中，時間 $t_1$ 至時間 $t_2$ 的長度是由要燒錄之標記(mark)長度來決定。而時間 $t_0$ 至時間 $t_1$ 的長度是程式化控制且不隨標記長度改變。標記長度的基本單位為 $T$ ，且以CD-R規格而言，標記長度是從 $3T$ 至 $11T$ 。另外，在時間 $t_0$ 的雷射燒錄波形前緣可能有大約 $\Delta t$ 的延遲量。 $\Delta t$ 大約為 $0.25T$ ，且只有在前次燒錄標記為 $3T$ 時才需要有 $\Delta t$ 的延遲量。因此，精準的控制雷射燒錄波形的切換時間是很重要的。

美國第6,269,960號「可程式燒錄信號產生器(programmable write signal generator)」專利揭示一



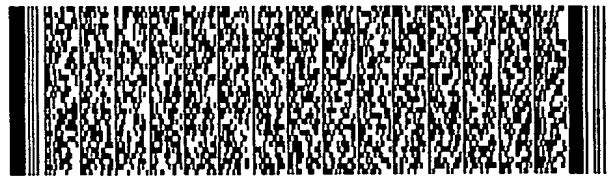
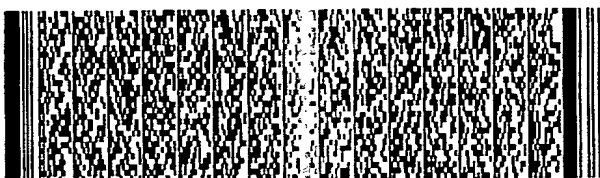
## 五、發明說明 (2)

種燒錄信號產生技術。圖2顯示為該專利之延遲信號產生單元的方塊圖。如該圖所示，延遲信號產生單元506包含上半部之粗調(course)延遲單元與下半部之微調(fine)延遲單元兩部分。粗調延遲單元之輸出信號係提供給微調延遲單元，藉以精準的控制延遲時間。如該圖所示，粗調延遲單元的延遲時間為2.5ns，而微調延遲單元的延遲時間為0.25ns。每個延遲單元均包含串接之複數個延遲胞(delay cell)D1(D2)、一多工器612(632)、以及一選擇信號產生器610(630)。串接之複數個延遲胞D1(D2)接收輸入信號後，產生複數個不同延遲時間之信號，再經由多工器612(632)根據選擇信號選擇一信號輸出，選擇信號是由選擇信號產生器610(630)所提供。因為該專利所使用之延遲胞是延遲鎖定迴路(delay lock loop, DLL)中之電壓控制延遲胞，故該專利為類比控制。且DLL中的充電泵浦(charge pump)亦為類比設計。一般而言，類比設計較為複雜，且受環境影響的程度較高。

## 三、發明內容

有鑒於上述問題，本發明之目的是提供一種全數位式信號延遲裝置，藉以精準地控制輸入信號的延遲時間。

為達成上述目的，本發明之信號延遲裝置包含一環狀振盪器，係由複數個延遲胞串接成一迴路，用以輸出一振盪時脈；一校正單元，係接收一參考時脈與振盪時脈，用來計算每個參考時脈之週期中所對應之振盪時脈的脈衝



#### 五、發明說明 (3)

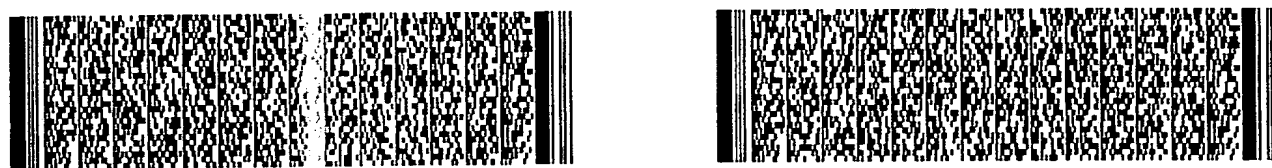
數，並以該脈衝數作為週期參考脈衝數；至少一延遲量計算單元，係接收週期參考脈衝數以及一信號延遲值，並根據週期參考脈衝數計算該信號延遲值所對應之信號延遲量，並輸出一選擇信號；以及至少一延遲通道，係由一多工器以及複數個串接之延遲胞，該等串接之延遲胞接收一輸入信號，並產生複數個不同延遲時間之延遲信號，並利用多工器根據選擇信號選擇其中一個延遲信號輸出為輸出信號。

#### 四、實施方式

以下參考圖式詳細說明本發明之全數位式信號延遲裝置。

圖3顯示本發明之全數位式信號延遲裝置之方塊圖。本發明之全數位式信號延遲裝置30包含一環狀振盪器 (ring oscillator) 31、一校正單元32、一延遲量計算單元33、以及一延遲通道34。本發明之全數位式信號延遲裝置30利用環狀振盪器31產生一振盪時脈，並利用校正單元32校正每個參考時脈週期中所對應的振盪時脈之脈衝數，作為週期參考脈衝數C。之後，延遲量計算單元33接收一信號延遲值m，並根據週期參考脈衝數C計算出信號延遲值m所對應之延遲脈衝數Dn。最後，信號延遲裝置30利用延遲通道34將輸入信號根據延遲脈衝數Dn延遲所需時間後輸出一輸出信號。

圖4顯示環狀振盪器之一實施例的方塊圖。如該圖所



#### 五、發明說明 (4)

示，該環狀振盪器31包含複數個串接之延遲胞(delay cell)311~31N、以及一個反及閘310(亦可為反或閘NOR gate)。串接之延遲胞311~31N經由反及閘310形成一個封閉迴路(loop，且接收一重置信號供重置該環狀振盪器31。該環狀振盪器31輸出一振盪時脈，該振盪時脈之週期(頻率)係由延遲胞的延遲時間(delay timing)以及延遲胞的個數所決定。參考時脈之週期可為光碟片之標記長度的基本單位T。

由於振盪時脈之週期可能會因為不同的晶圓製造廠、不同晶片、不同的工作電壓、以及不同的操作環境而不同，因此本發明利用校正單元以穩定之參考時脈來校正振盪時脈之週期，並輸出一週期參考脈衝數C，作為延遲的參考標準。圖5顯示校正單元之一實施例的方塊圖。如該圖所示，該校正單元32包含兩個除頻器321、322、一上升緣脈衝產生器323、一計數器324、以及一暫存器325。該校正單元32用來計算每個參考時脈週期中所對應之振盪時脈的脈衝數，並輸出為週期參考脈衝數C。除頻器321與322分別接收參考時脈與振盪時脈，並除以相同值後輸出除頻時脈S1、S0。上升緣脈衝產生器323接收除頻時脈S1，並於除頻時脈S1之每個上升緣時，在脈衝信號S2上產生一個脈衝。計數器324則計數脈衝信號S2之脈衝數，並以脈衝信號S0作為清除信號。暫存器325在計數器324的計數值被清除前儲存計數值，並輸出儲存值作為週期參考脈衝數C。除頻器321、322之作用是用來降低參考時脈與振



## 五、發明說明 (5)

盪時脈之頻率與計數器324容易計數。若振盪時脈與參考時脈之頻率差會太高時，則除頻器321、322可以省略。除頻器321、322的除頻值可以相同，亦可以不同。若除頻器321、322的除頻值不同且倍數為A時，則可將參考脈衝數C乘以倍數A，或是將倍數A輸出至後述的延遲量計算單元33進一步處理。參考脈衝數C輸出前，可以經過一低通濾波器(low pass filter, LPF)，使參考週期變動時，參考脈衝數C的變動較平緩。

延遲量計算單元33接收一信號延遲值與週期參考脈衝數C，並計算出信號延遲值所代表之延遲量，作為一選擇信號。該延遲量所代表的涵義是要延遲之振盪時脈的脈衝數。延遲量計算單元33之計算函式為：

$$F(m, M, C) = (m/M) * C \quad (1)$$

其中，M為一個參考時脈週期中所包含之最小延遲單位的個數、m為信號延遲值，亦即為該信號欲延遲之最小延遲單位的個數，而C為週期參考脈衝數。例如，當C為32、且M為16時，若信號延遲值m為2時，即欲延遲量為(2/16)參考時脈週期，則根據式(1)計算之結果，選擇信號為4。若除頻器321、322的除頻值不同且倍數為A時，則延遲量計算單元33之計算函式為：

$$F(m, M, C) = (m/M) * C * A \quad (2)$$

圖6顯示延遲通道之一實施例的方塊圖。如該圖所示，該延遲通道34包含P個串接之延遲胞341~34P、以及一



#### 五、發明說明 (6)

個多工器(multiplexer)340。P個串接之延遲胞341~34P接收輸入信號並產生P個不同延遲時間之延遲信號，且連同輸入信號一併輸出至多工器340。多工器340根據選擇信號輸出其中一延遲信號為輸出信號，亦即當選擇信號為0時，選擇輸入信號輸出，當選擇信號為1時，選擇第一個延遲胞341之輸出信號輸出，以此類推。由於延遲通道34之延遲胞341~34P與環狀振盪器31之延遲胞311~31N的設計相同，因此每個延遲胞341~34P之延遲時間與延遲胞311~31N之延遲時間相同。

根據本發明之架構，本發明之全數位式信號延遲裝置利用環狀振盪器產生振盪時脈，並利用校正單元計算出週期參考脈衝數。之後，延遲量計算單元計算輸入信號之延遲量，再利用延遲通道產生正確延遲時間之輸出信號。由於延遲通道之延遲胞與環狀振盪器之延遲胞係於同一製程製造，因此其延遲時間與環狀振盪器之延遲胞的延遲時間相同，不會因環境或製程不同而差異。

圖7顯示本發明全數位式信號延遲裝置之第二實施例的方塊圖。第一實施例之信號延遲裝置30僅包含一組延遲量計算單元33與延遲通道34，而第二實施例之信號延遲裝置30'則包含X組延遲量計算單元33與延遲通道34。因此，信號延遲裝置30'可同時提供X組不同延遲時間的輸出信號。

圖8顯示本發明全數位式信號延遲裝置之第三實施例的方塊圖。第一實施例之信號延遲裝置30是假設延遲量計





#### 五、發明說明 (7)

算單元33的計算時間少於最小之延遲量，因此輸入信號直接輸入至延遲通道。在此情形下，即使信號延遲值 $m$ 為1，亦不會造成輸出信號的輸出時間延誤。而圖8顯示之第三實施例的全數位式信號延遲裝置，是在延遲量計算單元33的計算時間多於最小之延遲量，為了避免輸出信號的輸出時間延誤，利用一正反器組35將選擇信號與輸入信號同步輸出。該正反器組35係以參考時脈作為觸發信號，將選擇信號與輸入信號同步輸出。

以上雖以實施例說明本發明，但並不因此限定本發明之範圍，只要不脫離本發明之要旨，該行業者可進行各種變形或變更。



## 圖式簡單說明

### 五、圖式簡單說明

圖1顯示CD-R之雷射燒錄波形的示意圖。

圖2顯示習知延遲信號產生單元的方塊圖。

圖3顯示本發明全數位式信號延遲裝置之方塊圖。

圖4顯示環狀振盪器之一實施例的方塊圖。

圖5顯示校正單元之一實施例的方塊圖。

圖6顯示延遲通道之一實施例的方塊圖。

圖7顯示本發明全數位式信號延遲裝置之第二實施例的方塊圖。

圖8顯示本發明全數位式信號延遲裝置之第三實施例的方塊圖。

#### 代表符號

31 環狀振盪器

310 反及閘

311~31N、341~34P 延遲胞

32 校正單元

321、322 除頻器

323 上升緣脈衝產生器

324 計數器

33 延遲量計算單元

34 延遲通道

340 多工器

35 正反器組



## 六、申請專利範圍

1. 一種全數位式信號延遲裝置，係包含：

一環狀振盪器，係由複數個延遲胞串接成一迴路，用以輸出一振盪時脈；

一校正單元，係接收一參考時脈與前述振盪時脈，用來計算每個參考時脈之週期中所對應之前述振盪時脈的脈衝數，並以該脈衝數作為一週期參考脈衝數；

至少一延遲量計算單元，係接收前述週期參考脈衝數以及一信號延遲值，並根據週期參考脈衝數計算該信號延遲值所對應之信號延遲量，並輸出一選擇信號；以及

至少一延遲通道，係由複數個延遲胞串接而成，該等串接之延遲胞接收一輸入信號，並產生複數個不同延遲時間之延遲信號，並根據前述選擇信號選擇其中一個延遲信號輸出為輸出信號。

2. 如申請專利範圍第1項所記載之全數位式信號延遲裝置，其中前述振盪時脈之頻率高於前述參考時脈之頻率。

3. 如申請專利範圍第1項所記載之全數位式信號延遲裝置，其中還包含一正反器組，用來將前述選擇信號與輸入信號同步輸出至前述延遲通道。

4. 如申請專利範圍第1項所記載之全數位式信號延遲裝置，其中前述環狀振盪器之迴路中還包含一反及閘，該反及閘接收一重置信號來重置該環狀振盪器。

5. 如申請專利範圍第1項所記載之全數位式信號延遲裝置，其中前述環狀振盪器之迴路中還包含一反或閘，該



## 六、申請專利範圍

反或閘接收一重置信號來重置該環狀振盪器。

6. 如申請專利範圍第1項所記載之全數位式信號延遲裝置，其中前述延遲量計算單元的計算函式為：

$$F(m, M, C) = (m/M) * C$$

其中 $F(m, M, C)$ 為前述信號延遲量， $M$ 為每個參考時脈週期中所包含之最小延遲單位的個數、 $m$ 為前述信號延遲值、而 $C$ 為前述週期參考脈衝數。

7. 如申請專利範圍第1項所記載之全數位式信號延遲裝置，其中前述校正單元包含：

一脈衝產生器，係接收前述參考時脈，並於該參考時脈之上升緣產生一觸發信號；

一計數器，係接收前述觸發信號與前述振盪時脈，藉以計數前述振盪脈衝之脈衝數，並以該觸發信號為清除信號；以及

一暫存器，係根據前述觸發信號儲存前述計數器之計數值，作為前述週期參考脈衝數。

8. 如申請專利範圍第7項所記載之全數位式信號延遲裝置，其中前述校正單元還包含一第一除頻器，用以將前述參考時脈先除頻後再輸入前述脈衝產生器。

9. 如申請專利範圍第8項所記載之全數位式信號延遲裝置，其中前述校正單元還包含一第二除頻器，用以將前述振盪時脈先除頻後再輸入前述計數器。

10. 如申請專利範圍第9項所記載之全數位式信號延遲



#### 六、申請專利範圍

裝置，其中前述第一除頻器的除頻值與前述第二除頻器的除頻值相同。

11. 如申請專利範圍第10項所記載之全數位式信號延遲裝置，其中前述延遲量計算單元的計算函式為：

$$F(m, M, C) = (m/M) * C$$

其中 $F(m, M, C)$ 為前述信號延遲量， $M$ 為每個參考時脈週期中所包含之最小延遲單位的個數、 $m$ 為前述信號延遲值、而 $C$ 為前述週期參考脈衝數。

12. 如申請專利範圍第9項所記載之全數位式信號延遲裝置，其中前述第一除頻器的除頻值與前述第二除頻器的除頻值不相同。

13. 如申請專利範圍第12項所記載之全數位式信號延遲裝置，其中前述延遲量計算單元的計算函式為：

$$F(m, M, C, A) = (m/M) * C * A$$

其中 $F(m, M, C, A)$ 為前述信號延遲量， $M$ 為每個參考時脈週期中所包含之最小延遲單位的個數、 $m$ 為前述信號延遲值、 $C$ 為前述週期參考脈衝數、以及 $A$ 為前述第一除頻器的除頻值與前述第二除頻器的除頻值的倍數。

14. 如申請專利範圍第1項所記載之全數位式信號延遲裝置，其中前述環狀振盪器之延遲胞與前述延遲通道之延遲胞具有相同的延遲時間。



圖式

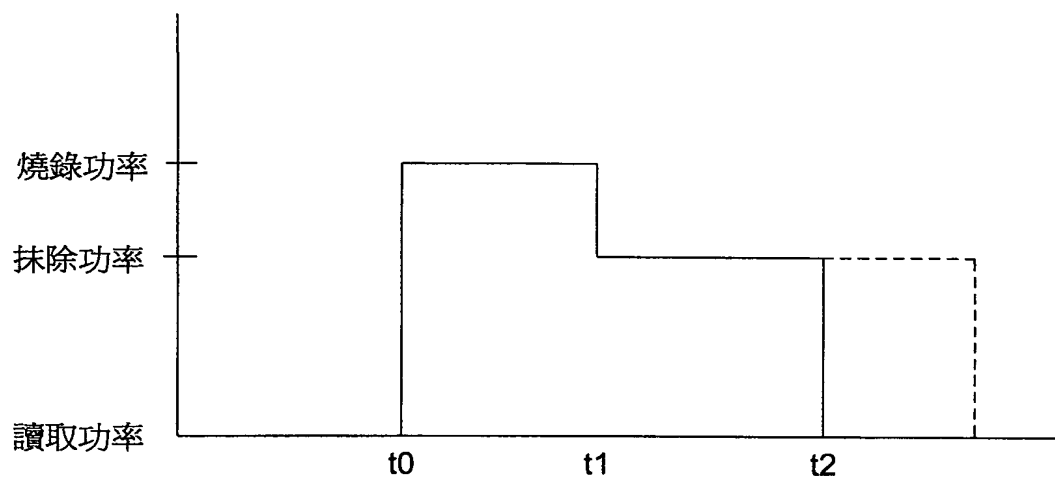


圖 1

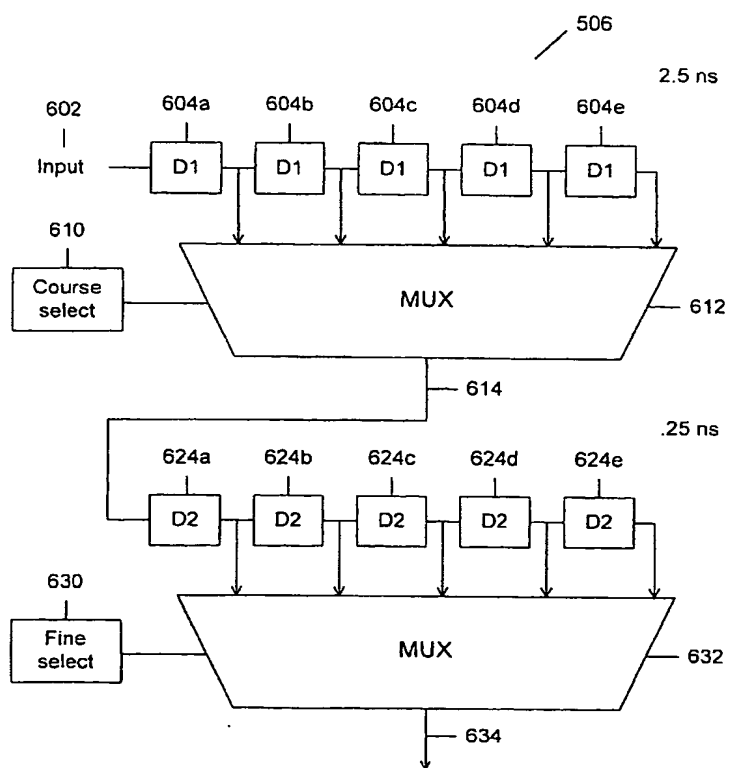


圖 2

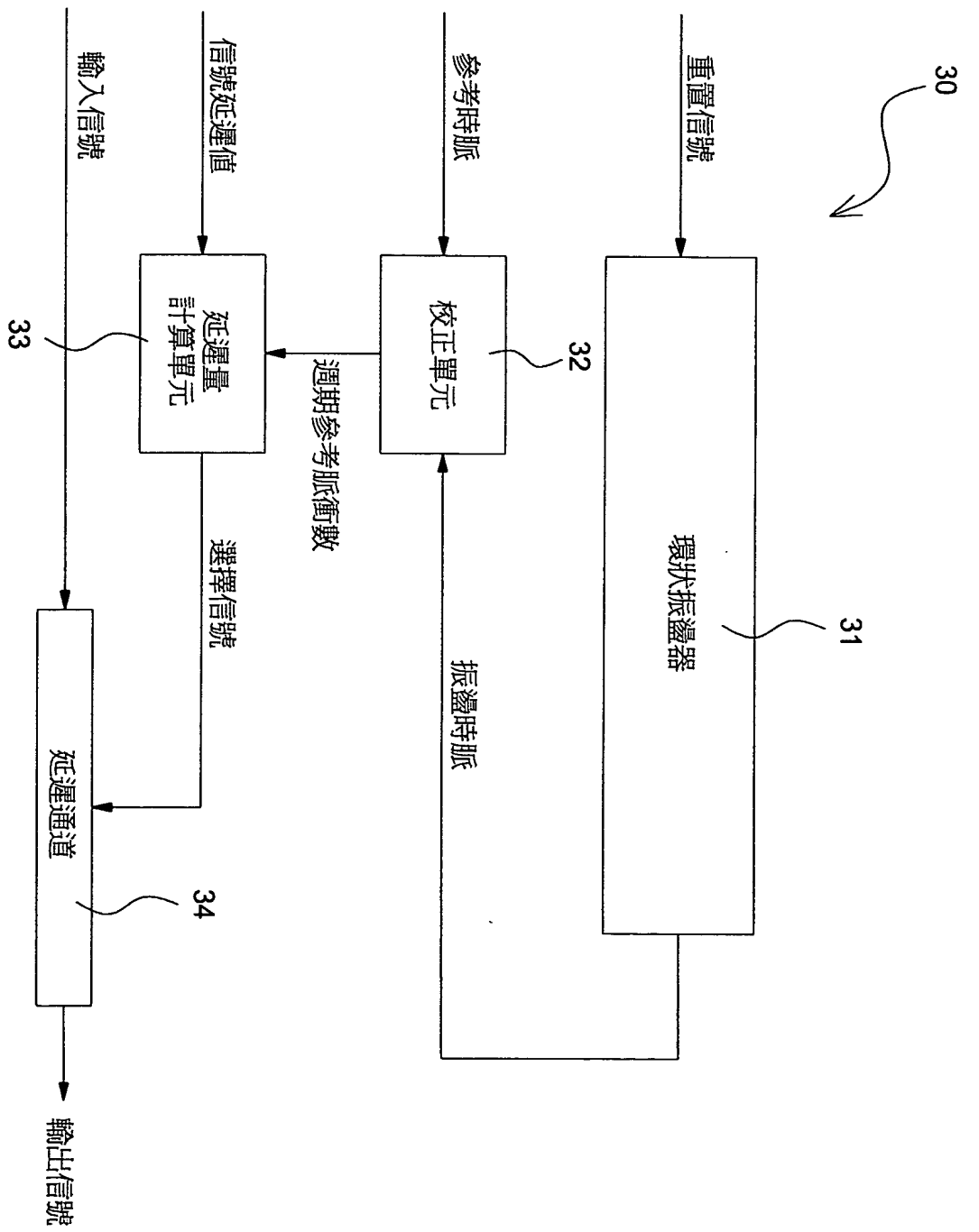


圖 3

圖式

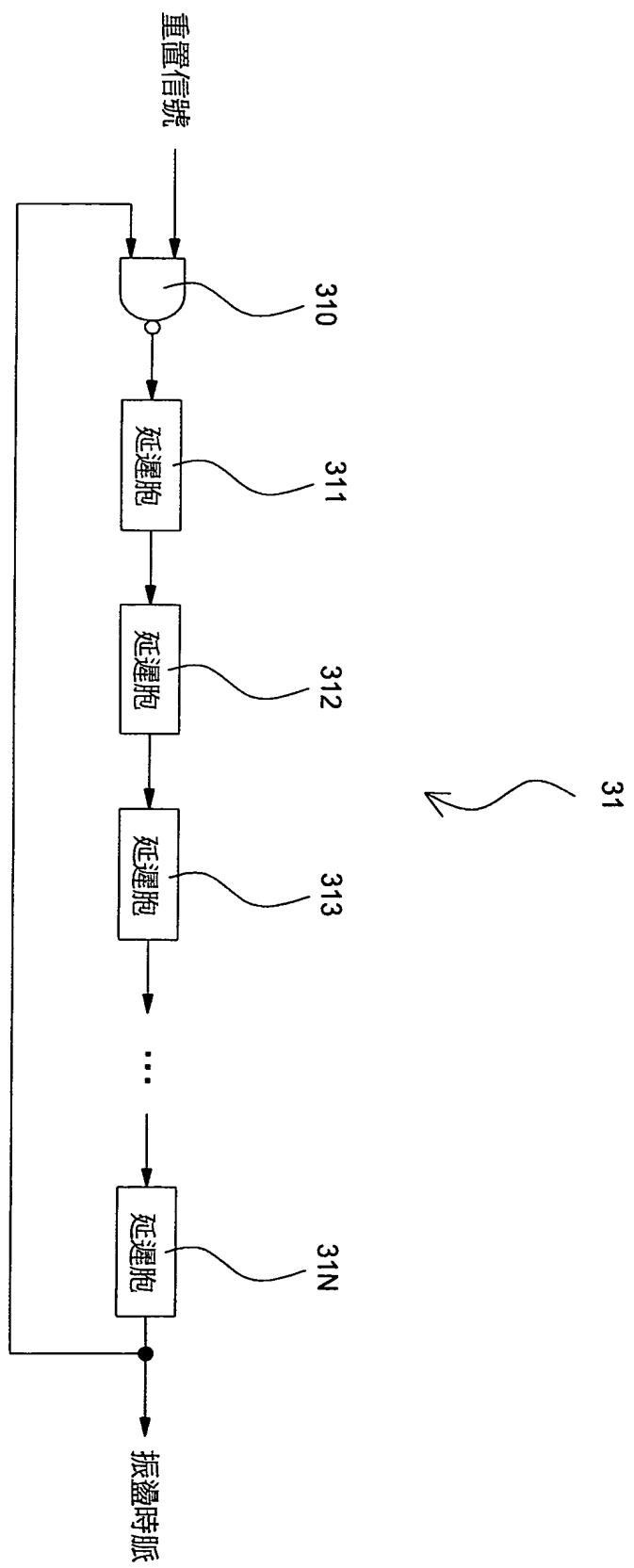


圖 4

圖式



32

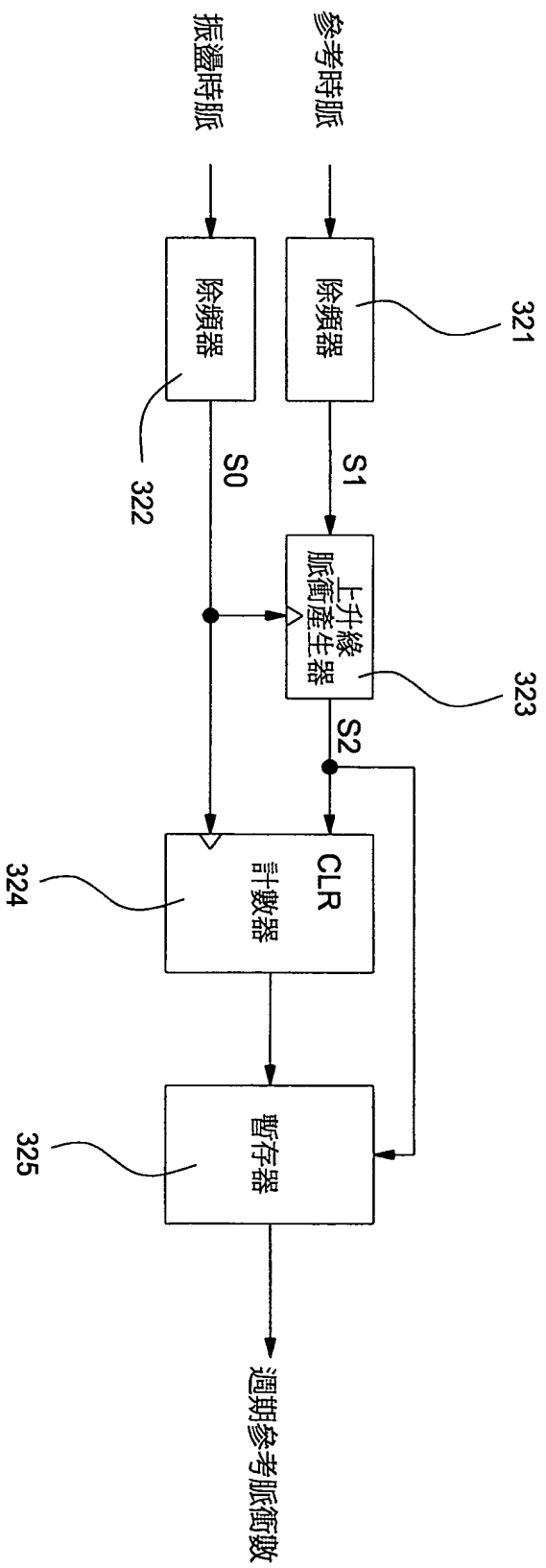


圖 5

圖式

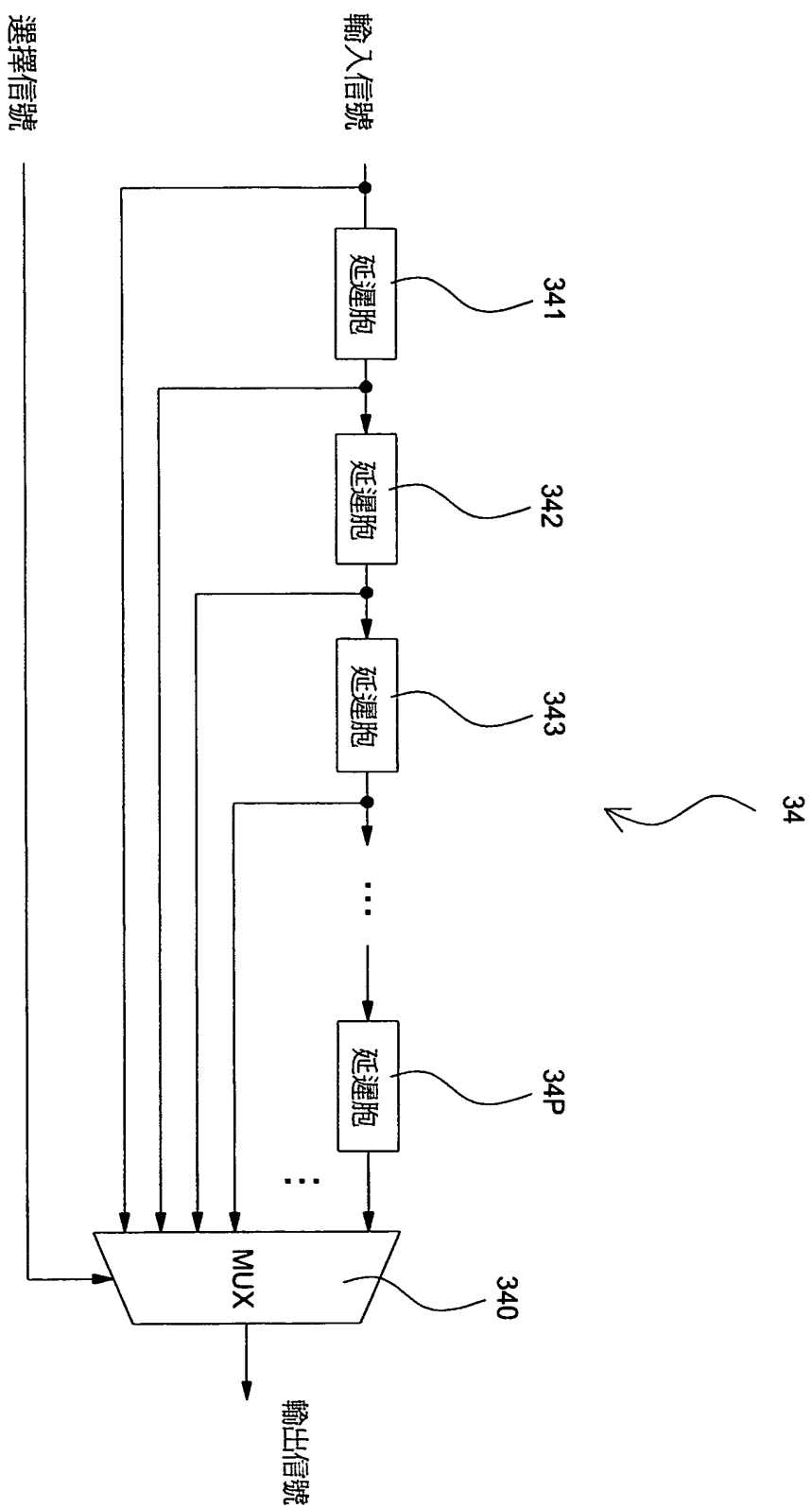


圖 6

圖式

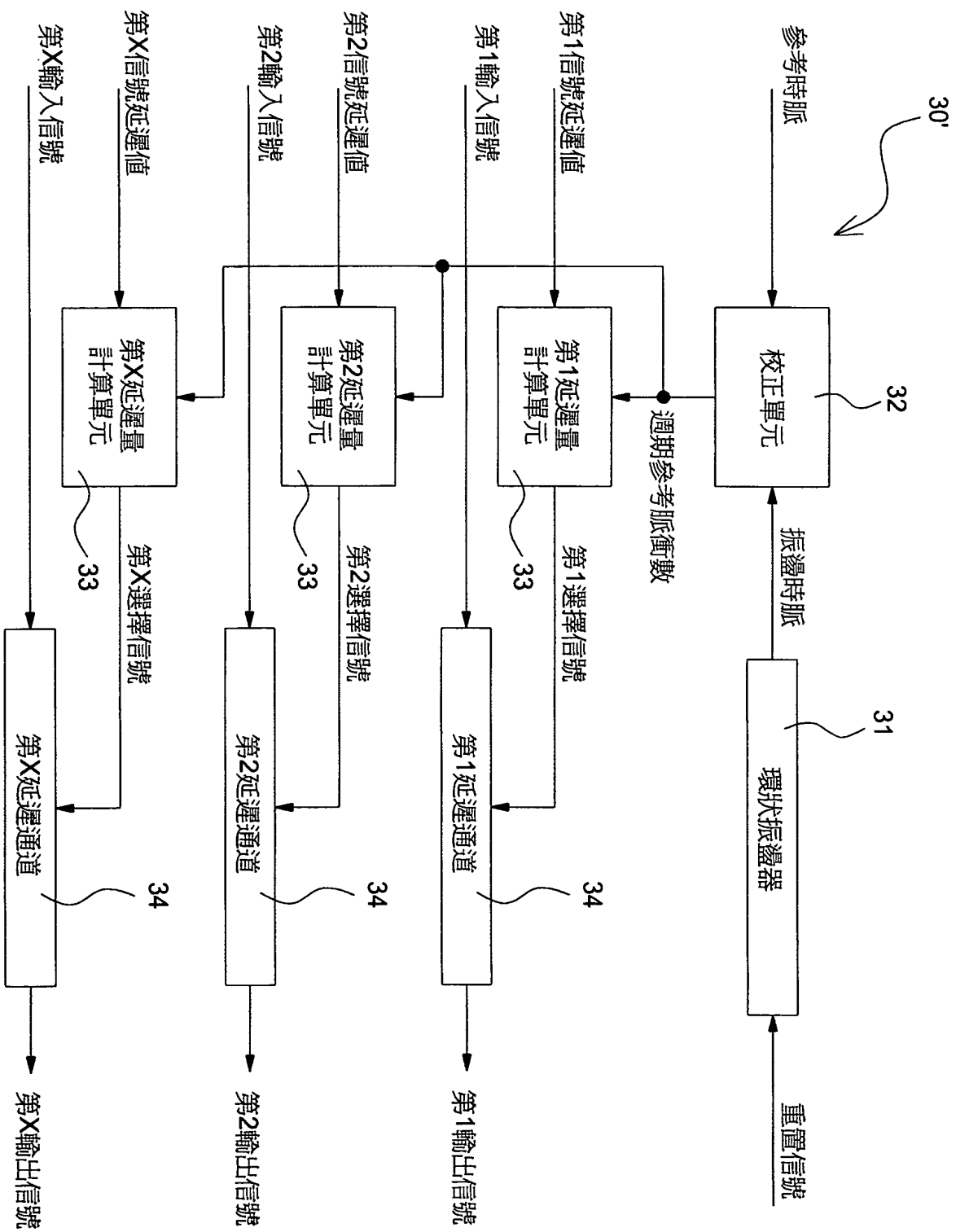


圖 7

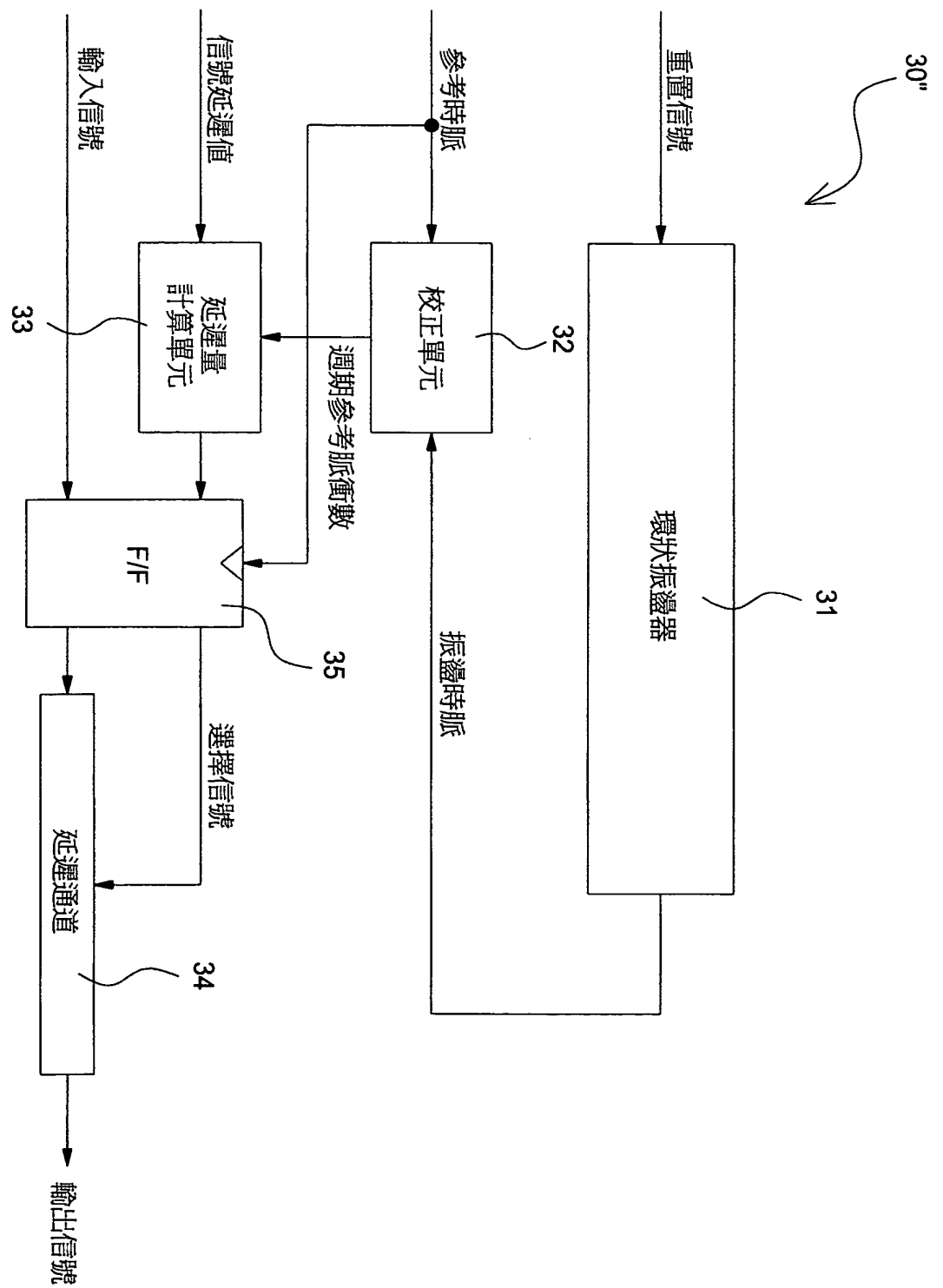


圖 8

圖式